

BEST AVAILABLE COPY

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC872 U.S. PTO
09/788253
02/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月16日

出 願 番 号

Application Number:

特願2000-037609

出 願 人

Applicant(s):

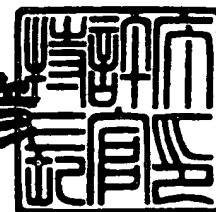
インターナショナル・ビジネス・マシーンス・コーポレーション

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 6月16日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3045553

【書類名】 特許願

【整理番号】 JA999259

【提出日】 平成12年 2月16日

【あて先】 特許庁長官殿

【国際特許分類】 H02J 7/00

【発明者】

 【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 大和事業所内

 【氏名】 織田大原 重文

【発明者】

 【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 大和事業所内

 【氏名】 内藤 在正

【特許出願人】

 【識別番号】 390009531

 【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

 【識別番号】 100086243

 【弁理士】

 【氏名又は名称】 坂口 博

【代理人】

 【識別番号】 100091568

 【弁理士】

 【氏名又は名称】 市位 嘉宏

【復代理人】

 【識別番号】 100079049

 【弁理士】

 【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した復代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した復代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した復代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304391

【包括委任状番号】 9304392

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源装置及びコンピュータ

【特許請求の範囲】

【請求項 1】 予め定めた所定範囲の電力供給が可能な電源ラインに設けられ、かつ一方向の電力供給を制限するための単一のダイオードと、

前記電源ラインの電圧を検出する電圧検出手段と、

前記電圧検出手段によって検出された電圧が前記ダイオードで制限される電圧レベル以上の予め定められた基準電圧以上である場合に前記電源ラインを遮断し、該基準電圧未満である場合に前記電源ラインを導通するように切り換えるスイッチ切換手段と、

を含む電源装置。

【請求項 2】 前記スイッチ切換手段は、トランジスタ素子を含む請求項 1 記載の電源装置。

【請求項 3】 前記スイッチ切換手段は、前記遮断状態のときに、前記一方向と逆方向に所定電力供給可能な制限素子を備えた請求項 1 又は請求項 2 記載の電源装置。

【請求項 4】 前記基準電圧は、前記一方向の上流側に設けられかつ前記電源ラインから電力が供給されて駆動する駆動装置の耐圧以下である請求項 1 乃至請求項 3 の何れか 1 項記載の電源装置。

【請求項 5】 前記電源ラインは、IEEE 1394 に対応した装置の電源ラインが接続されるものである請求項 1 乃至請求項 4 の何れか 1 項記載の電源装置。

【請求項 6】 請求項 1 乃至請求項 5 の何れか 1 項記載の電源装置と、
前記電源ラインに電力を供給するバッテリーと、
前記電源ラインに接続されると共に外部機器の電源ラインが接続される端子と、
前記電源ラインに接続されて前記バッテリーから供給される電力によって駆動するコンピュータ負荷と、
を備えたコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電源装置及びコンピュータに係り、特に、電源ラインに接続された装置を電源ライン上の過電圧から保護することができる電源装置及び該電源装置を適用したコンピュータに関する。

【0002】

【従来の技術】

近年、IEEE 1394の普及に伴い、ノートブック型パーソナル・コンピュータ（PC）でもIEEE 1394に対応した機器を接続するためのポートを備えた機種がでてきている。

【0003】

IEEE 1394は転送速度が100Mbps以上と高速なシリアル・インタフェースの規格であり、1995年にIEEE（米国電気電子技術者協会）が正式に仕様を採択したものである。転送速度は現在100Mbps、200Mbps、400Mbpsの3種類があり、接続できる機器は最大63台、機器間の距離は最大4.5m、最も離れた機器間の距離は72mとされている。IEEE 1394では、IEEE 1394に対応したバス（以下、「IEEE 1394バス」という）を通じての各機器間の電力供給（8Vから40Vまでの電圧範囲）が可能であり、また、PC等のホスト・コンピュータがなくても機器同士を接続することも可能であるため、家庭内ネットワークにおけるインフラストラクチャとしても期待が高い。

【0004】

一方、ノートブック型PCは一般に、本体内にバッテリーを内蔵している。この内蔵バッテリーにより、例えば、列車内などのように商用電源を利用することのできない環境下においても、ユーザーは、ノートブック型PCを使用することができる。上記内蔵バッテリーには、充電することにより繰り返し使うことのできるバッテリーを用いるのが一般的である。

【0005】

商用電源を利用することのできる環境においては、ユーザーは、ノートブック型PCにACアダプタ（商用交流（AC）を入力して直流を出力する装置）を接続する。これにより、コンピューティングすると同時に、ノートブック型PCが内蔵しているバッテリーを充電することが可能になる。

【0006】

ノートブック型PCにおいて充電可能なバッテリーとして用いられているものには、定格電圧4.2Vのリチウム・イオン電池を2本直列接続して構成したもの（以下、「2直構成」という）、同様に3本直列接続して構成したもの（以下、「3直構成」という）、4本直列接続して構成したもの（以下、「4直構成」という）等があるが、このうち最もよく用いられているものは、2直構成や4直構成に比較して電力の使用効率の面で有利な3直構成のリチウム・イオン電池である。3直構成のリチウム・イオン電池は電池容量が0（零）となる約9.0Vから12.6V（ $=4.2\text{V} \times 3$ ）までの出力電圧範囲を有している。

【0007】

図5には、このような3直構成のリチウム・イオン電池を備えたノートブック型PCとIEEE1394に対応した機器とを、IEEE1394バス150を介して接続した場合の構成例が示されている。

【0008】

同図に示すように、この構成におけるノートブック型PCには、リチウム・イオン電池からIEEE1394バス150に至る電源ラインL上に、リチウム・イオン電池の内部回路110への接続／切断を切り換えるための電界効果トランジスタ（FET）等を含んで構成された入力回路142と、2つのダイオードD1及びD2によって構成された保護回路140と、が設けられている。

【0009】

一方、IEEE1394に対応した機器152Aには電源154が備えられており、電源154からIEEE1394バス150に至る電源ライン上にはダイオードD3によって構成された保護回路が設けられている。なお、機器152Bも機器152Aと同様の構成とされている。

【0010】

ここで、ノートブック型PC及び各機器における電源ライン上にダイオードによって構成された保護回路が設けられているのは次の理由によるものである。

【0011】

図5に示される構成ではノートブック型PC及び各機器がIEEE1394バス150上にカスケード接続されているため、ノートブック型PC及び各機器に設けられたリチウム・イオン電池及び電源154のうち、最も高い電位とされているものがIEEE1394バス150に電力を供給することになる。

【0012】

一方、機器152A及び機器152Bに備えられている電源154は、IEEE1394の規格上、8Vから40Vまでの範囲の電圧が出力できるものである可能性がある。ところが、ノートブック型PCの内部回路110や機器152A及び機器152Bの内部回路の耐圧は必ずしも40V以上ではなく、内部回路に対して外部から耐圧より大きな電圧が印加されてしまう危険性がある。そこで、各電源ライン上にアノードが外部側となるようにダイオードを設けることによって、外部からの電圧印加を防止しているのである。

【0013】

また、ノートブック型PCの保護回路140として2つのダイオードD1及びD2が用いられているのは、不良や故障等で一方のダイオードが短絡破壊した場合でも、もう一方のダイオードでノートブック型PCの内部回路110を保護するためである。すなわち、安全規格上、1つのコンポーネントの不具合によって他の重大な不具合（破壊、発煙、発火等）が発生してはならないので、内部回路保護用のダイオードとして2つのダイオードD1及びD2が設けられているのが一般的である。

【0014】

【発明が解決しようとする課題】

しかしながら、上記の2つのダイオードにより構成された保護回路を用いた構成では、リチウム・イオン電池の使用効率が低い、という問題点があった。

【0015】

すなわち、図5に示される構成の場合、一般に入力回路142による電圧降下

は最低でも0.3V程度あり、ダイオードD1及びD2の各々の電圧降下は0.6V程度であるので、電源ラインL上の電圧降下は最低でも約1.5V程度となる。ここで、IEEE1394に対応した機器に8.0Vの電圧を供給するためにはリチウム・イオン電池の電圧として約9.5V(=8.0V+約1.5V)から12.6Vまでの範囲でしか用いることができない。従って、この構成では、リチウム・イオン電池の容量を十分に使うことができず、容量が残っていてもIEEE1394に対応した装置への電力供給を停止しなければならなかった。

【0016】

ノートブック型PCで要求される電圧は8V以下(例えば、7.5V)である場合が多く、IEEE1394に対応しない場合はノートブック型PCに備える電池としては上記要求される電圧まで出力電圧を低下することができるが、IEEE1394に対応する場合には上記の従来の技術では電源ラインの電圧降下が大きいため、電池の電圧を低下させると外部に対して電力を供給できなくなる場合がある。この事態を回避するためには昇圧用のDC/DCコンバータ等を内蔵して、出力電圧が8V以上となるように昇圧すればよいが、この場合にはコストが上昇してしまう。

【0017】

本発明は上記問題点を解消するために成されたものであり、電源ラインに設けられたバッテリーの使用効率を向上することができる電源装置、及び内蔵されたバッテリーの使用効率を向上することができるコンピュータを得ることが目的である。

【0018】

【課題を解決するための手段】

本発明に係る電源装置は、予め定めた所定範囲の電力供給が可能な電源ラインに設けられ、かつ一方向の電力供給を制限するための単一のダイオードを備えている。このダイオードは内部回路保護用の保護回路として2つのダイオードを備えた従来の技術(図5参照)における一方のダイオードに対応するものである。なお、このダイオードには接合型ダイオード、ツェナーダイオード等を含めることができる。

【0019】

また、本発明に係る電源装置では、電圧検出手段によって電源ラインの電圧が検出され、スイッチ切換手段によって、上記検出された電圧が上記ダイオードで制限されるべき電圧レベル以上の予め定められた基準電圧以上である場合に電源ラインが遮断され、該基準電圧未満である場合に電源ラインが導通されるように切り換えられる。従って、ダイオードが何らかの原因で故障している場合であっても、電源ラインに基準電圧以上の過大な電圧が印加されることを防止することができる。

【0020】

このように、本発明では、1つのダイオードが何らかの原因で故障している場合であっても、電源ラインへの過大な電圧の印加が防止できる構成を、2つのダイオードを要することなく実現しているので、2つのダイオードによって実現する場合に比較して電源ライン上の電圧降下を低減することができ、この結果として電源ラインにバッテリーが接続されている場合における該バッテリーの使用効率を向上することができる。

【0021】

また、本発明では、2つのダイオードを用いる場合に比較して1つのダイオードにおける消費電力（約0.2W）を削減することができるので、この点についても電池の使用効率を向上することができる。

【0022】

ところで、本発明のスイッチ切換手段による切り換え動作は、本発明の主旨から、電源ラインの電圧降下が極力小さな状態で行うことが好ましい。従って、請求項2記載の発明のように、本発明のスイッチ切換手段を、他のスイッチ類に比較して抵抗値が小さなトランジスタ素子を含むものとして構成し、該トランジスタ素子を電源ライン上に設け、かつ該トランジスタのオン／オフ制御によって電源ラインの遮断ないし導通を切り換えることが好ましい。また、この場合のトランジスタ素子は、バイポーラ・トランジスタに比較してオン抵抗の少ないFETがより好ましく、更にFETのなかでも接合型FETよりオン抵抗の少ないMOS型FETがより好ましい。

【0023】

また、本発明のスイッチ切換手段は、請求項3記載の発明のように、電源ラインが遮断状態のときに、上記一方向と逆方向に所定電力供給可能な制限素子を備える構成とすることが好ましい。これによって、この制限素子とダイオードとで2重に上記一方向の電力供給を制限することが可能となり、電源ラインに過大な電圧が印加されることを、より確実に防止することができる。なお、この制限素子には、ツェナーダイオードや、スイッチ切換手段がトランジスタ素子を含む場合の当該トランジスタの内部ダイオード等を適用することができる。

【0024】

一方、本発明の電源ライン上に上記一方向の上流側に設けられかつ電源ラインから電力が供給されて駆動する駆動装置がある場合には、請求項4記載の発明のように、本発明の基準電圧を該駆動装置の耐圧以下とすることが好ましい。これによって、駆動装置の耐圧を越えた電圧が電源ラインに印加されるのを防止することができ、駆動装置を確実に保護することができる。

【0025】

なお、請求項5記載の発明のように、本発明の電源ラインは、IEEE1394に対応した装置の電源ラインが接続されるものとしてすることができる。IEEE1394では、前述のように8Vから40Vまでの範囲の電圧が許容されるので、本発明の電源ラインには最大40Vの電圧が印加される可能性があるが、耐圧が40V未満の駆動装置が電源ラインに接続された場合でも、本発明によって駆動装置を保護することが可能となる。

【0026】

更に、本発明に係るコンピュータには、本発明に係る電源装置と、該電源装置の電源ラインに電力を供給するバッテリーと、前記電源ラインに接続されると共に外部機器の電源ラインが接続される端子と、前記電源ラインに接続されて前記バッテリーから供給される電力によって駆動するコンピュータ負荷と、が備えられている。ここで、上記バッテリーには、2直構成、3直構成、4直構成等のリチウム・イオン電池や、7直構成、8直構成等のニッケル・水素電池等を適用することができる。

【0027】

従って、本発明に係るコンピュータによれば、1つのダイオードが何らかの原因で故障している場合であっても、電源ラインへの過大な電圧の印加が防止できる構成を、2つのダイオードを要することなく実現しているので、2つのダイオードによって実現する場合に比較して電源ライン上の電圧降下を低減することができ、この結果としてコンピュータに内蔵されたバッテリーの使用効率を向上することができる。

【0028】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0029】

〔第1実施形態〕

図1には、本発明に係る電源装置が適用された典型的なパーソナル・コンピュータ（PC）から成るコンピュータ・システム10のハードウェア構成がサブシステム毎に模式的に示されている。本発明を適用したPCの一例は、O A D G（PC Open Architecture Developer's Group）仕様に準拠し、オペレーティング・システム（OS）として米マイクロソフト社の“Windows 98又はNT”又は米IBM社の“OS/2”を搭載したノートブック型のPC12（図2参照）である。以下、コンピュータ・システム10の各部について説明する。

【0030】

コンピュータ・システム10全体の頭脳であるCPU14は、OSの制御下で、各種プログラムを実行する。CPU14は、例えば米インテル社製のCPUチップ“Pentium”や、AMD社等の他社製のCPUでも良いし、IBM社製の“PowerPC”でも良い。

【0031】

CPU14は、自身の外部ピンに直結されたプロセッサ直結バスとしてのFS（FrontSide）バス18、高速のI/O装置用バスとしてのPCI（Peripheral Component Interconnect）バス20、及び低速のI/O装置用バスとしてのISA（Industry Standard Architecture）バス22という3階層のバスを介して、

後述の各ハードウェア構成要素と相互接続されている。

【0032】

FSバス18とPCIバス20は、一般にメモリ／PCI制御チップと呼ばれるCPUブリッジ（ホスト－PCIブリッジ）24によって連絡されている。

【0033】

メイン・メモリ16は、CPU14の実行プログラムの読み込み領域として、或いは実行プログラムの処理データを書き込む作業領域として利用される書き込み可能メモリである。

【0034】

PCIバス20は、比較的高速なデータ伝送が可能なタイプのバスであり、カードバス・コントローラ30のような比較的高速で駆動するPCIデバイス類がこれに接続される。

【0035】

ビデオ・サブシステム26は、ビデオに関連する機能を実現するためのサブシステムであり、CPU14からの描画命令を実際に処理し、処理した描画情報をビデオメモリ（VRAM）に一旦書き込むと共に、VRAMから描画情報を読み出して液晶ディスプレイ（LCD）28（図2参照）に描画データとして出力するビデオ・コントローラを含む。

【0036】

また、PCIバス20にはカードバス・コントローラ30、オーディオ・サブシステム32、ドッキング・ステーション・インタフェース（Dock I/F）34及びミニPCIスロット36が各々接続されている。カードバス・コントローラ30は、PCIバス20のバスシグナルをPCIカードバス・スロット38のインタフェース・コネクタ（カードバス）に直結させるための専用コントローラである。カードバス・スロット38には、例えばPC12本体の壁面に配設され、PCMCIA（Personal Computer Memory Association）／JEIDA（Japan Electronic Industry Development Association）が策定した仕様（例えば“PC Card Standard 95”）に準拠したPCカード40が装填される。

【0037】

Dock I/F 34は、PC 12とドッキング・ステーション（図示省略）を接続するためのハードウェアである。また、ミニPCIスロット36には、例えばコンピュータ・システム10をネットワーク（例えばLAN）に接続するためのネットワーク・アダプタ42が接続される。

【0038】

PCIバス20とISAバス22はI/Oブリッジ44によって相互に接続されている。I/Oブリッジ44は、PCIバス20とISAバス22とのブリッジ機能、IDE（Integrated Drive Electronics）インタフェース機能、USB（Universal Serial Bus）機能等を備えており、例えばインテル社製のPIIX4というデバイス（コアチップ）を用いることができる。IDEインタフェース機能によって実現されるIDEインタフェースには、IDEハードディスク・ドライブ（HDD）46が接続される他、IDE CD-ROMドライブ48がATAPI（AT Attachment Packet Interface）接続される。

【0039】

また、I/Oブリッジ44にはUSBポートが設けられており、このUSBポートは、例えばPC 12本体の壁面等に設けられたUSBコネクタ50と接続されている。

【0040】

更に、I/Oブリッジ44にはSMバスを介してEEPROM94が接続されている。EEPROM94はユーザによって登録されたパスワードやスーパーバイザー・パスワード、製品シリアル番号等の情報を保持するためのメモリであり、不揮発性で記憶内容を電氣的に書き替え可能とされている。

【0041】

また、I/Oブリッジ44は電源回路54に接続されている。電源回路54は充電するバッテリーをメイン電池64A又はセカンド電池64Bに選択的に切り換える電源切換回路63、メイン電池64A又はセカンド電池64Bを充電するための充電回路68、コンピュータ・システム10で使用する5V、3.3V等の直流定電圧を生成するDC/DCコンバータ66、及びコンピュータ・システム10の内部回路を保護する保護回路112等の回路を備えている。なお、メイ

ン電池 64 A 及びセカンド電池 64 B は、双方とも定格電圧 4.2 V のリチウム・イオン電池を 3 本直列接続して構成された 3 直構成のリチウム・イオン電池である。従って、各電池は、容量が 0 (零) となる約 9.0 V から 12.6 V までの範囲の電圧の電力が供給可能とされている。

【0042】

一方、I/Oブリッジ 44 を構成するコアチップの内部には、コンピュータ・システム 10 の電源状態を管理するための内部レジスタと、該内部レジスタの操作を含むコンピュータ・システム 10 の電源状態の管理を行うロジック (ステートマシン) が設けられている。

【0043】

上記ロジックは電源回路 54 との間で各種の信号を送受し、この信号の送受により、電源回路 54 からコンピュータ・システム 10 への実際の給電状態を認識し、電源回路 54 は上記ロジックからの指示に応じてコンピュータ・システム 10 への電力供給を制御する。

【0044】

ISAバス 22 は PCI バス 20 よりもデータ転送速度が低いバスであり、Super I/Oコントローラ 70、EEPROM等から成るフラッシュROM 72、CMOS 74、ゲートアレイ・ロジック 76 に接続されたエンベデッド・コントローラ 80 に加え、キーボード/マウスコントローラのような比較的低速で動作する周辺機器類 (何れも図示省略) を接続するのに用いられる。

【0045】

Super I/Oコントローラ 70 には I/Oポート 78 が接続されている。Super I/Oコントローラ 70 は、フロッピーディスク・ドライブ (FDD) の駆動、パラレル・ポートを介したパラレル・データの入出力、シリアル・ポートを介したシリアル・データの入出力を制御する。

【0046】

フラッシュROM 72 は、BIOS等のプログラムを保持するためのメモリであり、不揮発性で記憶内容を電氣的に書き替え可能とされている。また、CMOS 74 は揮発性の半導体メモリがバックアップ電源に接続されて構成されており

、不揮発性でかつ高速の記憶手段として機能する。

【0047】

エンベデッド・コントローラ80は、図示しないキーボードのコントロールを行うと共に、内蔵されたパワー・マネージメント・コントローラ (Power Management Controller、以下、「PMC」という) 82 (図3も参照) によってゲートアレイ・ロジック76と協働して電源管理機能の一部を担う。

【0048】

図3には、本実施の形態に係るPC12の構成として、本発明に特に関係する電源回路54の各構成要素を具体化したものが示されている。同図に示すように、PC12には、ACアダプタ62が接続された入力端子TからIEEE1394バス150が接続されたポートPに至る電源ラインL、電源切換回路63、メイン電池64A、セカンド電池64B、充電回路68、内部回路110、及び保護回路112が備えられている。なお、図示は省略するが、IEEE1394バス150にはIEEE1394に対応した複数の機器がカスケード接続されている。

【0049】

電源切換回路63には、電源ラインLとメイン電池64Aとの間に設けられた第1の直列回路100、及び電源ラインLとセカンド電池64Bとの間に設けられた第2の直列回路102が備えられている。なお、本実施の形態に係るPC12にはバッテリーパック収納部 (図示省略) が設けられており、該バッテリーパック収納部に上記メイン電池64A及びセカンド電池64Bは取り外し可能に装着されている。また、メイン電池64A及びセカンド電池64Bはバッテリーパック収納部に装着された状態で、各々入力端子65A及び65Bを介して第1の直列回路100及び第2の直列回路102に接続されている。

【0050】

第1の直列回路100は、内部ダイオードのカソード同士が相互に接続されたFET1及びFET2を備えている。FETとしてはパワーMOS型FETが使用できる。また、第2の直列回路102も第1の直列回路100と同様に内部ダイオードのカソード同士が相互に接続されたFET3及びFET4を備えている

【0051】

ここで、FET1及びFET3の内部ダイオードは、カソードが対応するFETのドレインDに接続され、かつアノードが対応するFETのソースSに接続されており、FET2及びFET4の内部ダイオードは、カソードが対応するFETのソースSに接続され、かつアノードが対応するFETのドレインDに接続されている。

【0052】

一方、電源ラインLとFET2のドレインDとの間には充電回路68が設けられている。なお、FET2とFET4のドレインDは相互に接続されており、この接続点と電源ラインLとの間には充電回路68によるメイン電池64A又はセカンド電池64Bの充電中における充電回路68の短絡を防止するためにFET5が設けられている。すなわちFET5は、充電回路68によりメイン電池64A又はセカンド電池64Bが充電されているときはオフされ、メイン電池64A及びセカンド電池64Bの何れか一方から電源ラインLに対して直流電力を供給するときにはオンされる。なお、FET5にはカソードがドレインDに接続され、かつアノードがソースSに接続された内部ダイオードが形成されている。

【0053】

FET1～FET5のゲートGには、各々PMC82の出力端子1、2、3、4、5が接続されており、PMC82によってFET1～FET5のオン／オフが制御される。

【0054】

一方、内部回路110は、電源回路54（図1も参照）以外のCPU14、メイン・メモリ16等のコンポーネントと、電源回路54のDC/DCコンバータ66とにより構成されたものであり、電源ラインLに接続されている。なお、内部回路110において、電源ラインLに直接接続されているのはDC/DCコンバータ66の入力端子のみであり、他のコンポーネントについてはDC/DCコンバータ66の出力端子から必要とされる電力が供給されるように構成されている。また、本実施の形態における内部回路110は、耐圧が25Vとなるように

設計されている。

【0055】

一方、保護回路112は、FET6、ダイオードD2、及びスイッチ切換回路113を含んで構成されており、電源ラインLの内部回路110とポートPとの間に設けられている。

【0056】

FET6はソースSが内部回路110側となり、ドレインDがポートP側となるように電源ラインL上に直列に挿入されている。また、FET6のソースSは抵抗を介して自身のゲートGに接続されている。なお、FET6にはカソードがドレインDに接続され、かつアノードがソースSに接続された内部ダイオードD6が形成されている。FET6としては、パワーMOS型FETが使用できる。

【0057】

また、ダイオードD2はFET6のドレインDとポートPとの間に、カソードがポートP側となるように直列に挿入されている。

【0058】

一方、スイッチ切換回路113には、抵抗R1及び抵抗R2が直列接続されて構成された分圧抵抗回路が備えられており、該分圧抵抗回路の一端はポートPに接続され、他端は接地されている。

【0059】

また、分圧抵抗回路の抵抗R1及び抵抗R2の接続点にはコンパレータCPの－入力端子（反転入力端子）が接続されており、該コンパレータCPの＋入力端子（非反転入力端子）には所定電圧（本実施の形態では5V）の参照電圧を生成して出力する参照電圧生成回路114の出力端子が接続されている。従って、コンパレータCPの出力端子からは、抵抗R1と抵抗R2との抵抗値の比率に応じて分圧されたポートPの電圧が上記参照電圧より小さな場合はハイレベルの電圧とされ、上記分圧されたポートPの電圧が上記参照電圧以上である場合はローレベルの電圧とされた信号が出力される。

【0060】

ここで、本実施の形態における抵抗R1及び抵抗R2の各抵抗値の比率は、ポ

ートPの電圧が、内部回路110の耐圧（本実施の形態では25V）以下の電圧である基準電圧（本実施の形態では20V）であるときに、コンパレータCPの－入力端子に印加される電圧が上記参照電圧（本実施の形態では5V）と等しくなるように予め調整されている。従って、コンパレータCPから出力される信号は、ポートPの電圧が上記基準電圧より小さな場合にハイレベルとされ、ポートPの電圧が上記基準電圧以上である場合にローレベルとされる。

【0061】

一方、コンパレータCPの出力端子は抵抗を介してトランジスタTR1のベースに接続されている。また、トランジスタTR1のエミッタは接地されると共に抵抗を介して自身のベースに接続されており、コレクタは抵抗を介してトランジスタTR2のベースに接続されている。また、トランジスタTR2のエミッタは所定電圧レベル（本実施の形態では、ACアダプタ62によって動作しているときは32V、メイン電池64A又はセカンド電池64Bによって動作しているときは20V）の電圧を生成して出力するチャージ・ポンプ回路116の出力端子に接続されると共に抵抗を介して自身のベースに接続されており、更にコレクタは抵抗を介してFET6のゲートGに接続されている。

【0062】

従って、コンパレータCPからの出力信号がハイレベルである場合はトランジスタTR1及びトランジスタTR2は双方ともオンされ、FET6のゲートGにはチャージ・ポンプ回路116によって生成された電圧が印加されてFET6はオンされる。逆にコンパレータCPからの出力信号がローレベルである場合はトランジスタTR1及びトランジスタTR2は双方ともオフされるため、FET6はオフされる。

【0063】

ダイオードD2が本発明のダイオードに、抵抗R1及び抵抗R2によって構成された分圧抵抗回路が本発明の電圧検出手段に、FET6が本発明のトランジスタ素子に、FET6の内部ダイオードD6が本発明の制限素子に、FET6及びスイッチ切換回路113によって構成された部分が本発明のスイッチ切換手段に、内部回路110が本発明の駆動装置及びコンピュータ負荷に、ポートPが本発

明の端子に、各々相当する。

【0064】

なお、コンピュータ・システム10を構成するためには、図1及び図3に示した以外にも多くの電気回路が必要である。但し、これらは当業者には周知であり、また、本発明の要旨を構成するものではないので、本明細書中では説明を省略する。また、図面の錯綜を回避するため、図中の各ハードウェア・ブロック間の接続も一部しか図示していないことを付記しておく。

【0065】

次に本実施の形態の作用として、本発明に特に関係する電源回路54の動作を説明する。まず、電源切換回路63の動作について図3を参照しつつ簡単に説明する。

【0066】

PC12が作動中であり、かつメイン電池64Aを充電回路68で充電する場合は、PMC82によってFET1及びFET2は共にオンされると共に、メイン電池64Aとセカンド電池64Bとの短絡を防止するためにFET3及びFET4は共にオフされる。また、充電回路68の短絡を防止するためにFET5はオフされる。

【0067】

同様に、PC12が作動中であり、かつセカンド電池64Aを充電回路68で充電する場合は、PMC82によってFET3及びFET4は共にオンされると共に、メイン電池64Aとセカンド電池64Bとの短絡を防止するためにFET1及びFET2は共にオフされる。また、充電回路68の短絡を防止するためにFET5はオフされる。

【0068】

一方、PC12が作動中であり、かつ各電池の充電を行わない場合は、PMC82によってFET1がオフ、FET2がオン、FET3がオフ、FET4がオン、FET5がオフに各々設定される。ここで、PMC82がACアダプタ62の離脱を検知し、かつメイン電池64Aから電力を供給する場合は、FET1がオン、FET2がオン、FET3がオフ、FET4がオフ、FET5がオンに設

定される。また、同様にセカンド電池 64 B から電力を供給する場合は、FET 1 がオフ、FET 2 がオフ、FET 3 がオン、FET 4 がオン、FET 5 がオンに設定される。これによって、AC アダプタ 62 が何らかの原因で離脱された場合でも、メイン電池 64 A 及びセカンド電池 64 B の何れか一方から内部回路 110 に電力を供給し続けることができるので、AC アダプタ 62 の離脱に起因する PC 12 のシャット・ダウンを防止することができる。

【0069】

次に、保護回路 112 の動作について説明する。なお、ここでは、メイン電池 64 A 又はセカンド電池 64 B の何れか一方の電池から電源ライン L に電力を供給している場合について説明する。また、以下では、ポート P の電圧が基準電圧（本実施の形態では 20 V）以上である場合と、基準電圧未満である場合とで場合分けして説明する。

（1）ポート P の電圧が基準電圧以上である場合

この場合は PC 12 が IEEE 1394 バス 150 上に電力を供給しているのではなく、IEEE 1394 バス 150 に接続された IEEE 1394 対応の機器（図示省略）が供給している場合である。

【0070】

この場合、コンパレータ CP の出力信号はローレベルとなって、トランジスタ TR 1 及び TR 2 は共にオフされ、これによって FET 6 はオフされる。このとき、FET 6 の内部ダイオード D 6 とダイオード D 2 との 2 つのダイオードによって内部回路 110 は保護される。

【0071】

一般に FET の内部ダイオードの順方向電圧は 1 V 以上（例えば、1.2 V）であり、通常のショットキー・ダイオードの順方向電圧（例えば、0.6 V）より大きく、従来の技術における通常のダイオードを 2 段備えた場合（図 5 も参照）に比較して保護回路 112 における電源ライン L の電圧降下は大きい。この場合は IEEE 1394 バス 150 への電力供給は他の機器から行われているので、問題とはならない。

（2）ポート P の電圧が基準電圧未満である場合

この場合、コンパレータCPの出力信号はハイレベルとなって、トランジスタTR1及びTR2は共にオンされ、これによってFET6はオンされる。従って、この場合には保護回路112におけるダイオードはダイオードD2のみとなる。

【0072】

この場合は、PC12がIEEE1394バス150上に電力を供給している場合と、他の機器がPC12より高い電圧でかつ基準電圧未満の電圧の電力を供給している場合との2つの場合が考えられる。

【0073】

PC12がIEEE1394バス150上に電力を供給している場合は、保護回路112内のダイオードは1段のみであるので、保護回路112による電圧降下は0.6V程度となり、従来の技術における通常のダイオードを2段備えた場合（この場合の電圧降下は約1.2V）に比較して電圧降下を約半分に抑制することができる。

【0074】

従って、電源切換回路63における各FETによる電圧降下が約0.3Vである場合には電源ラインLの全体的な電圧降下は約0.9V（＝約0.3V＋約0.6V）となり、電力を供給しているメイン電池64A又はセカンド電池64Bの容量がなくなる約9.0Vまで電池を使用することができ、電池の使用効率を向上することができる。更に、この場合はダイオード1つ分に相当する電力消費（約0.2W）を節約することもできる。

【0075】

また、このように電源ラインLの電圧降下が低減されることによって、IEEE1394バス150に印加される電圧が8V以上となる電圧で、かつPC12の内部回路110に要求される電圧までメイン電池64A及びセカンド電池64Bの出力電圧を低下させることも可能となる。

【0076】

また、このように電源ラインLの電圧降下が低減されることによって、電池を容量がなくなるまで使用する場合においてもIEEE1394バス150に印加

される電圧を8V以上に維持することができるので、DC/DCコンバータ等の昇圧手段を不用とすることができ、該昇圧手段を備える場合に比較してコストを削減することができる。

【0077】

一方、他の機器がPC12より高い電圧でかつ基準電圧未満の電圧の電力を供給している場合は、ダイオードD2が何らかの原因で短絡破壊された場合であっても、内部回路110の耐圧は25Vであるので、内部回路110が破壊されることはない。

【0078】

〔第2実施形態〕

上記第1実施形態では、本発明をPC12の内部回路110の保護のみを行うように構成した場合の一形態について説明したが、本第2実施形態では、内部回路110の保護を行うと共に、電源ラインにおける過電流を防止するように構成した場合の一形態について説明する。なお、保護回路以外の構成及び作用については、上記第1実施形態と同様であるので、ここでの説明は省略する。

【0079】

図4には、本第2実施形態に係る保護回路130の構成が示されている。同図に示すように、本第2実施形態に係る保護回路130は、各々電源ラインLに直列に挿入された電流検出用の抵抗R3、FET7、FET8及びツェナーダイオードZD2を含んで構成されている。ここで、FET7はソースSがポートP側となるように接続されており、FET8はドレインDがポートP側となるように接続されており、更にツェナーダイオードZD2はカソードがポートP側となるように接続されている。

【0080】

ここで、FET7は過電流防止の機能を有し、FET8は本発明の制限素子としての機能を有するものである。

【0081】

一方、保護回路130には、電流制限回路122、電圧検出回路124、ゲート制御回路126、及びチャージ・ポンプ回路128が備えられている。

【 0 0 8 2 】

電流制限回路 1 2 2 の入力端は抵抗 R 3 の両端に接続されており、出力端はゲート制御回路 1 2 6 に接続されている。また、電圧検出回路 1 2 4 の入力端はポート P に接続されており、出力端はゲート制御回路 1 2 6 に接続されている。更に、チャージ・ポンプ回路 1 2 8 の出力端はゲート制御回路 1 2 6 に接続されており、ゲート制御回路 1 2 6 の出力端は F E T 7 及び F E T 8 のゲート G に接続されている。

【 0 0 8 3 】

電圧検出回路 1 2 4 が本発明の電圧検出手段に、F E T 8 が本発明のトランジスタ素子に、ゲート制御回路 1 2 6、チャージ・ポンプ回路 1 2 8 及び F E T 8 によって構成された部分が本発明のスイッチ切換手段に、ツェナーダイオード Z D 2 が本発明のダイオードに、各々相当する。

【 0 0 8 4 】

以上のように構成された保護回路 1 3 0 では、電流制限回路 1 2 2 によって電源ライン L に流れる電流が検出され、検出された電流の値が予め定められた制限電流値より小さな場合にハイレベルの信号をゲート制御回路 1 2 6 に出力する。また、電圧検出回路 1 2 4 によってポート P の電圧が検出され、検出された電圧に応じたレベルの信号がゲート制御回路 1 2 6 に出力される。更に、チャージ・ポンプ回路 1 2 8 では F E T 7 及び F E T 8 をオンさせることができるレベル（本実施の形態では、A C アダプタ 6 2 によって動作しているときは 3 2 V、メイン電池 6 4 A 又はセカンド電池 6 4 B によって動作しているときは 2 0 V）の電圧が生成され、ゲート制御回路 1 2 6 に出力される。

【 0 0 8 5 】

ゲート制御回路 1 2 6 では、電流制限回路 1 2 2 及び電圧検出回路 1 2 4 から入力された信号に応じて F E T 7 及び F E T 8 のオン／オフを制御する。より具体的には、電流制限回路 1 2 2 から入力された信号がハイレベルであり、かつ電圧検出回路 1 2 4 から入力された信号のレベルが予め定められた基準電圧に対応するレベルより小さな場合にのみ F E T 7 及び F E T 8 をオンさせ、その他の場合には F E T 7 及び F E T 8 をオフさせる。

【 0 0 8 6 】

なお、ゲート制御回路 1 2 6 は、F E T 7 及び F E T 8 をオンさせる際には、チャージ・ポンプ回路 1 2 8 から入力されている電圧を F E T 7 及び F E T 8 のゲート G に印加するようにする。また、本実施の形態に係る基準電圧は、上記第 1 実施形態における基準電圧と同様のものである。

【 0 0 8 7 】

以上のゲート制御回路 1 2 6 による F E T 7 及び F E T 8 の制御によって、電源ライン L を流れる電流の値が上記制限電流値以上である場合と、ポート P の電圧が上記基準電圧以上である場合には F E T 7 及び F E T 8 がオフされて、電源ライン L を流れる電流の値が制限されると共に、P C 1 2 の内部回路 1 1 0 が保護される。

【 0 0 8 8 】

このように、本第 2 実施形態に係る保護回路では、電源ライン L を流れる電流の値を制限するための回路と、内部回路 1 1 0 を保護するための回路とで兼用できる部分（具体的には、ゲート制御回路 1 2 6、及びチャージ・ポンプ回路 1 2 8）については兼用しているので、低コストに多機能化を図ることができる。

【 0 0 8 9 】

なお、上記各実施形態では、保護回路を単品部品の組み合せで構成した場合について説明したが、本発明はこれに限定されるものではなく、保護回路は I C（Integrated Circuit）として構成することもできることは言うまでもない。この場合は、保護回路の小型化、低コスト化、及び高信頼性化が可能である。

【 0 0 9 0 】

また、この場合、電源ライン L に直列に設けられたダイオード（第 1 実施形態ではダイオード D 2、第 2 実施形態ではツェナーダイオード Z D 2）以外の部分（第 2 実施形態では図 4 の破線で囲まれた領域 1 2 0）を I C 化することが好ましい。即ち、このように電源ライン L に直列に設けられたダイオードを I C とは別体として構成することにより、該ダイオードとして電源ライン L に印加される最大電圧等に応じた任意の定格のものを適用することができ、I C の汎用性を増すことができる。

【 0 0 9 1 】

また、上記各実施形態では、本発明のスイッチ切換手段を電源ラインLに1つのみ設けた場合について説明したが、本発明はこれに限定されるものではなく、複数設ける形態とすることもできる。この場合は、上記各実施形態に比較してコストは上昇するものの、保護回路としての信頼性は向上させることができる。

【 0 0 9 2 】

【発明の効果】

以上説明したように本発明によれば、1つのダイオードが何らかの原因で故障している場合であっても、電源ラインへの過大な電圧の印加が防止できる構成を、2つのダイオードを要することなく実現しているので、2つのダイオードによって実現する場合に比較して電源ライン上の電圧降下を低減することができ、この結果として電源ラインにバッテリーが接続されている場合における該バッテリーの使用効率を向上することができる、という優れた効果を有する。

【図面の簡単な説明】

【図1】 実施の形態に係るコンピュータ・システムの概略構成を示すブロック図である。

【図2】 ノートブック型PCの外観を示す斜視図である。

【図3】 第1実施形態に係るノートブック型PCの構成を示す回路図（一部ブロック図）である。

【図4】 第2実施形態に係る保護回路の構成を示すブロック図（一部回路図）である。

【図5】 従来技術の問題点の説明に供するグラフである。

【符号の説明】

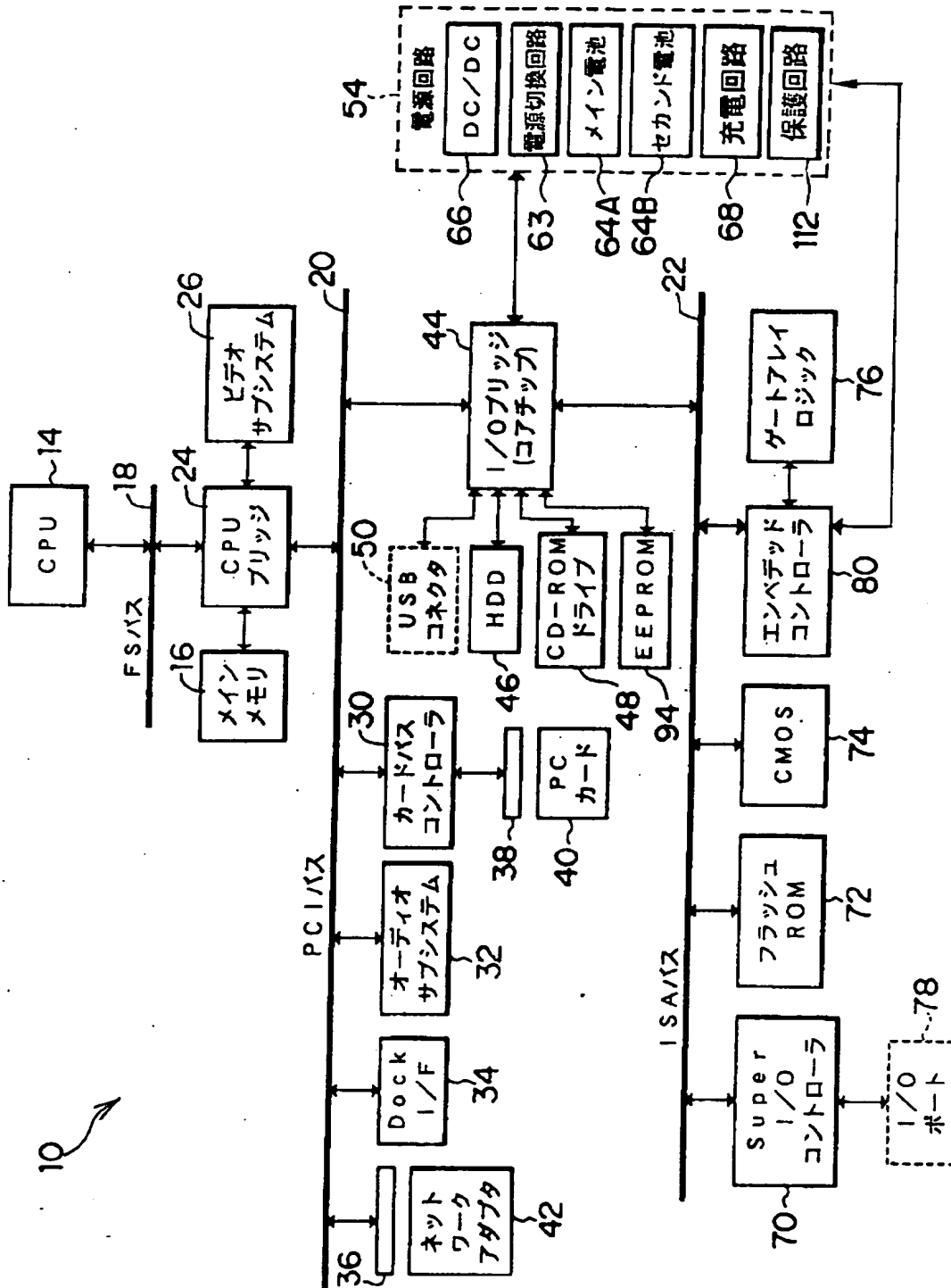
- 1 0 コンピュータ・システム
- 5 4 電源回路
- 6 2 ACアダプタ
- 6 3 電源切換回路
- 6 4 A メイン電池（バッテリー）
- 6 4 B セカンド電池（バッテリー）

- 1 1 0 内部回路（駆動装置、コンピュータ負荷）
- 1 1 2 保護回路
- 1 1 3 スイッチ切換回路（スイッチ切換手段）
- 1 1 4 参照電圧生成回路
- 1 1 6 チャージ・ポンプ回路
- 1 2 4 電圧検出回路（電圧検出手段）
- 1 2 6 ゲート制御回路（スイッチ切換手段）
- 1 2 8 チャージ・ポンプ回路（スイッチ切換手段）
- D 2 ダイオード
- D 6 内部ダイオード（制限素子）
- F E T 6、F E T 8 電界効果トランジスタ（トランジスタ素子、ス
イッチ切換手段）
- L 電源ライン
- P ポート（端子）
- R 1、R 2 抵抗（電圧検出手段）
- Z D 2 ツェナーダイオード（ダイオード）

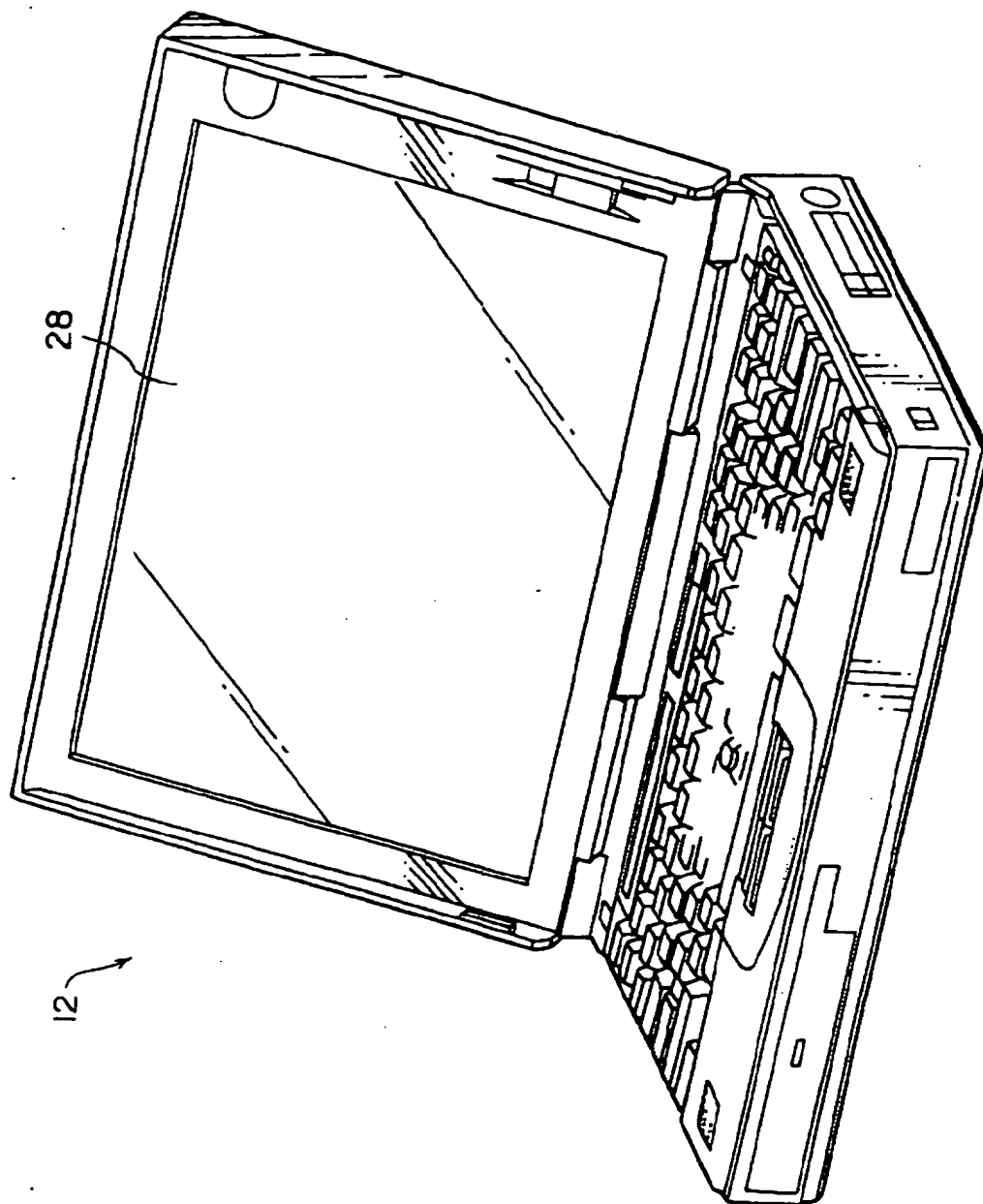
【書類名】

図面

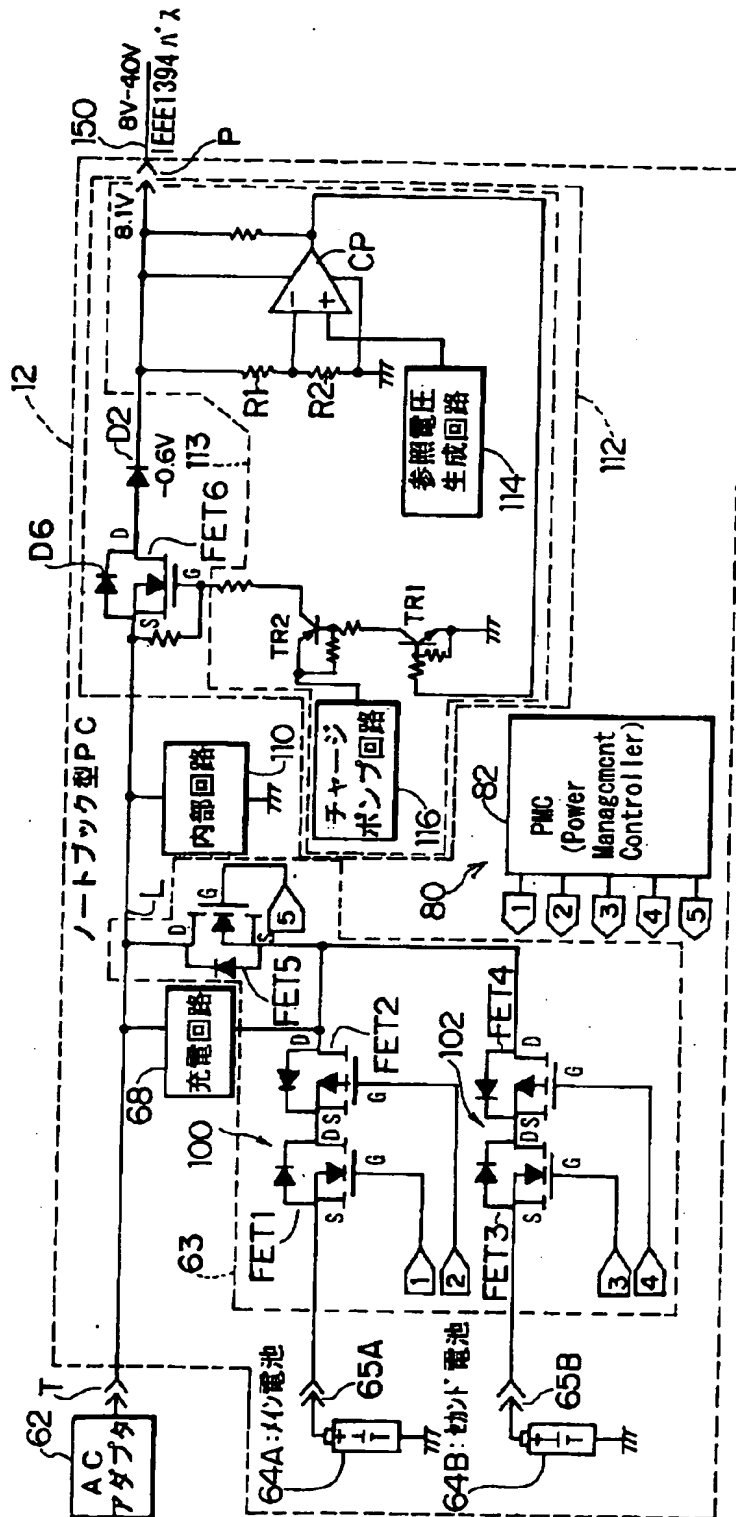
【図 1】



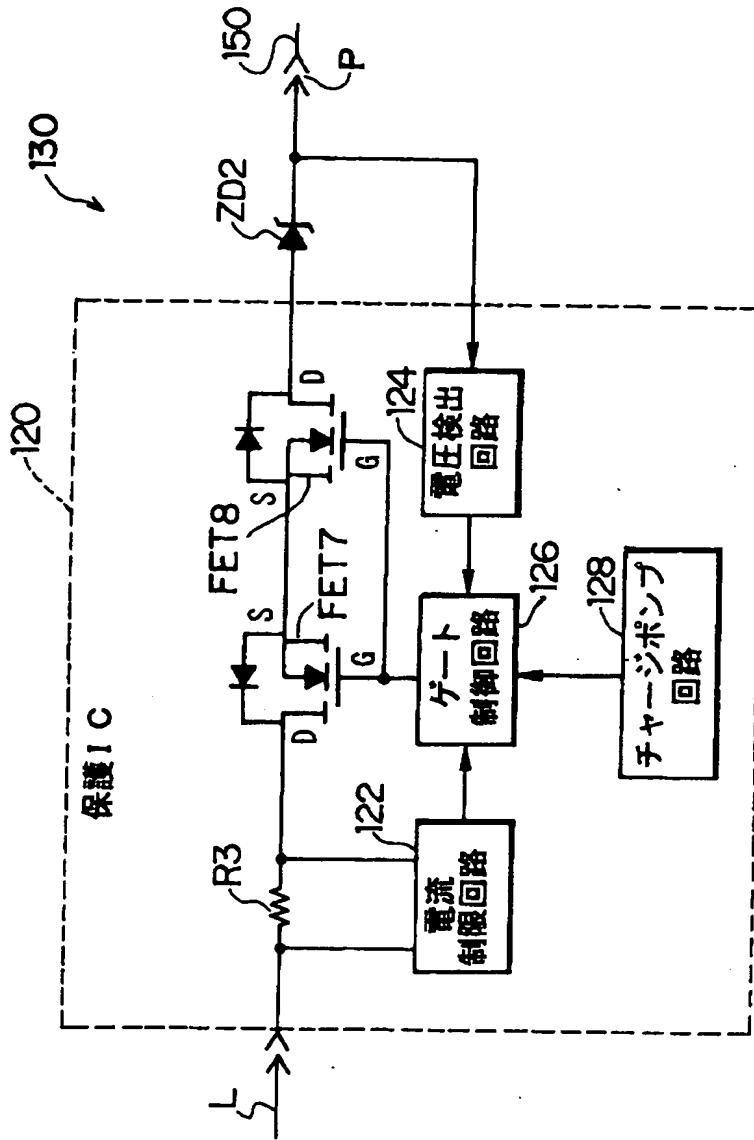
【図 2】



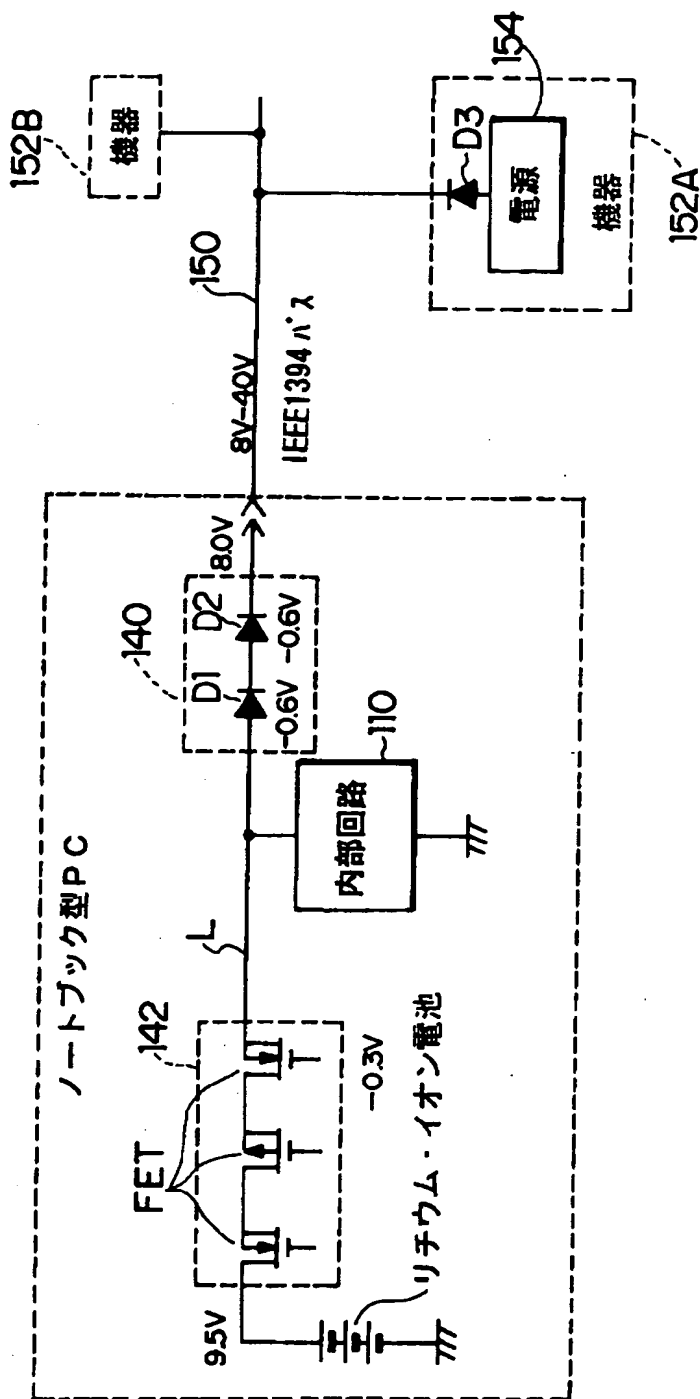
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 電源ラインに設けられたバッテリーの使用効率を向上することができる電源装置、及び内蔵されたバッテリーの使用効率を向上することができるコンピュータを得る。

【解決手段】 内部回路 1 1 0 を I E E E 1 3 9 4 バス 1 5 0 に接続された図示しない機器による過電圧から保護するための保護回路 1 1 2 として、電源ライン L 上に F E T 6 とダイオード D 2 を設けると共に、ポート P の電圧が内部回路 1 1 0 の耐圧以下である基準電圧以上である場合に F E T 6 をオフするスイッチ切換回路 1 1 3 を備える。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2000-037609
受付番号	50000171821
書類名	特許願
担当官	高田 良彦 2319
作成日	平成 12 年 3 月 30 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国 10504、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間 1623 番地 14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間 1623 番地 14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

【復代理人】

【識別番号】	100079049
【住所又は居所】	東京都新宿区新宿 4 丁目 3 番 17 号 HK 新宿ビル 7 階 太陽国際特許事務所
【氏名又は名称】	中島 淳

【選任した復代理人】

【識別番号】	100084995
【住所又は居所】	東京都新宿区新宿 4 丁目 3 番 17 号 HK 新宿ビル 7 階 太陽国際特許事務所
【氏名又は名称】	加藤 和詳

【選任した復代理人】

【識別番号】	100085279
--------	-----------

次頁有

認定・付加情報（続き）

【住所又は居所】	東京都新宿区新宿四丁目3番17号	HK新宿ビル7階	太陽国際特許事務所
【氏名又は名称】	西元	勝一	
【選任した復代理人】			
【識別番号】	100099025		
【住所又は居所】	東京都新宿区新宿4丁目3番17号	HK新宿ビル7階	太陽国際特許事務所
【氏名又は名称】	福田	浩志	

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 1990年10月24日
[変更理由] 新規登録
住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレイション

2. 変更年月日 2000年 5月16日
[変更理由] 名称変更
住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション